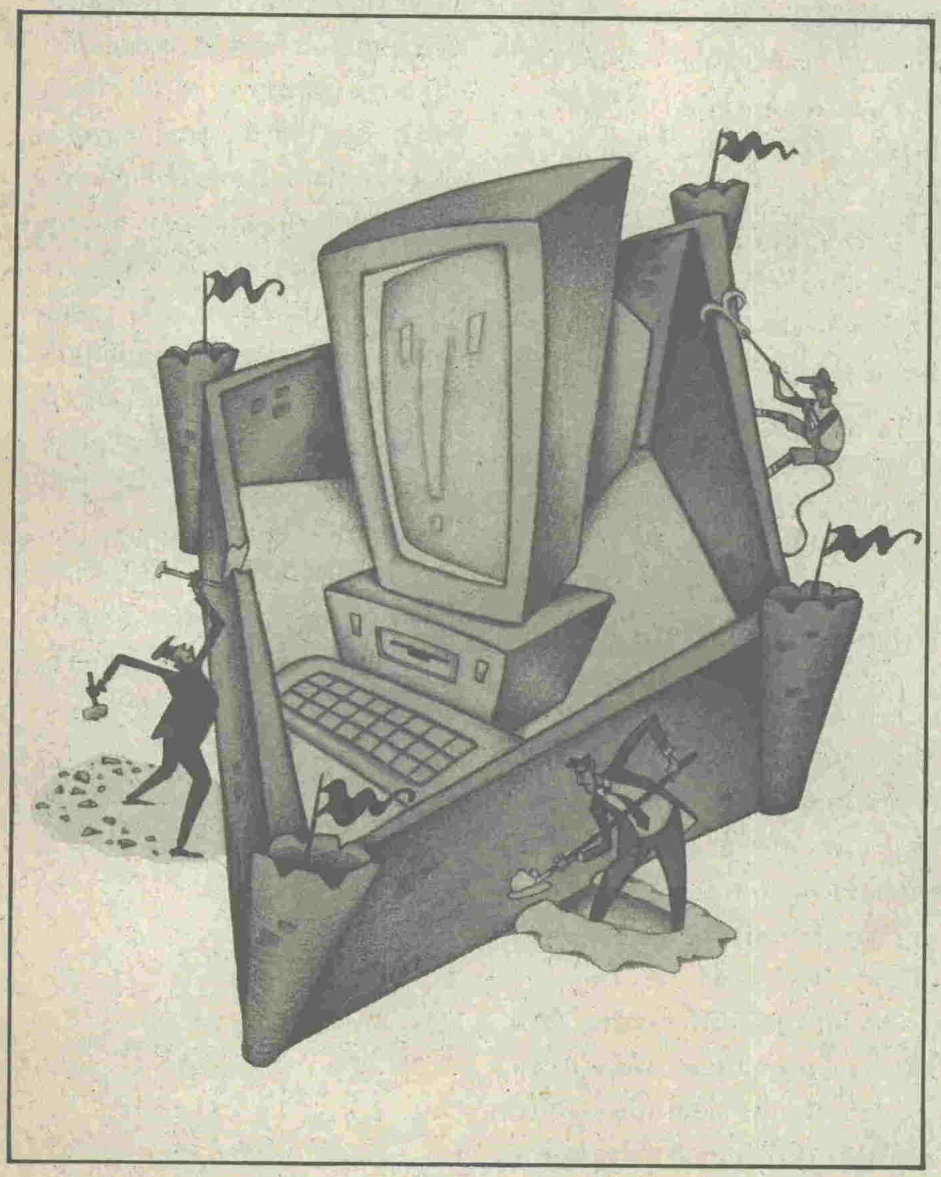
สุรศักดิ์ สงวนพงษ์

สถาปัตยกรรม อัลฟา เอเอ็กซ์พี

วิเคราะห์เทคโนโลยี
สถาปัตยกรรม
อัลฟา เอเอ็กซ์พี
ว่ายิ่งใหญ่แค่ไหน...



อัลฟานับเป็นโครงการออกแบบและผลิตชิพซีพียูที่ใหญ่ที่สุดเท่าที่เคยมีมาในประวัติการผลิตชิพของเด็ค (Digital Equipment Corperation) โครงการอัลฟาระดมมันสมองของวิศวกรกว่า 30 กลุ่ม จาก 10 ประเทศ ร่วมกันออกแบบคอมพิวเตอร์ตามแนวสถาปัตยกรรมชนิดลดชุดคำสั่งภายใต้รหัสอัลฟา เอเอ็กซ์พี เพื่อนำไปสู่การผลิตชิพซีพียูที่ใช้งานจริง

ในปัจจุบันเด็คได้ผลิตชิพ 21064 ซึ่งเป็นซีพียูตัวแรกตามสถาปัตยกรรมอัลฟา ชิพ 21064 ทำงานที่ความถี่สัญญาณนาฬิกาสูงถึง 200 เมกะเฮิรตซ์ ด้วยความเร็วที่สูงมาก ผนวกกับสมรรถนะของตัวชิพเอง จึงมีการจัดอันดับให้ 21064 เป็นชิพที่ทำงานได้เร็วที่สุดเมื่อเปรียบเทียบกับชิพอื่นที่มีอยู่ในปัจจุบัน

เป้าหมายของอัลฟา เอเอ็กซ์พี

อัลฟา เอเอ็กซ์พีมีสถาปัตยกรรมตามแนวคอมพิวเตอร์ชนิดลดชุดคำสั่งโดยทั่วไป คือ ไม่มีคำสั่งคำนวณที่ต้องโอนย้ายข้อมูลระหว่างหน่วยความจำกับรีจิสเตอร์ หากแต่คำสั่งคำนวณจะเกิดขึ้นระหว่างรีจิสเตอร์กับรีจิสเตอร์เท่านั้น กลุ่มวิศวกรของเด็คออกแบบอัลฟา เอเอ็กซ์พีโดยยึดหลักสำคัญคือ

เพื่อนำไปสู่การสร้างชิพที่มีสมรรถนะสูง

เมื่อมองในแง่ของสมรรถนะของคอมพิวเตอร์ ขีดจำกัดของสถาปัตยกรรม

ในปัจจุบันคือ ซีพียูสามารถจัดการกับข้อมูลขนาดเพียง 32 บิต ซึ่งเริ่มจะไม่พอเพียงต่อการประมวลผลหลายด้านที่ต้องการสมรรถนะการคำนวณสูง ๆ อัลฟาจึงได้รับการออกแบบให้เป็นสถาปัตยกรรมแบบ 64 บิตอย่างแท้จริง แต่ก็ยังคงสนับสนุนคำสั่งบางคำสั่งที่อ้างอิงขนาดข้อมูล 32 บิตอยู่ เพื่อให้ชิพสามารถทำงานร่วมกับซอฟต์แวร์ในรุ่นเก่าได้

มีช่วงอายุยาวนาน (ไม่ล้าสมัยเร็วเกินไป)

สถาปัตยกรรมของอัลฟา ออกแบบมาเพื่อให้รองรับกับความก้าวหน้าของเทคโนโลยีทางฮาร์ดแวร์ที่จะเพิ่มความถี่สัญญาณนาฬิกาให้สูงมากขึ้น และมีลักษณะซีพียูแบบซูเปอร์ไปป์ไลน์ที่สามารถจัดการคำสั่งได้ 2 คำสั่งในหนึ่งวงรอบ และยังสามารถขยายต่อไปได้อีกในอนาคต

สามารถใช้งานกับระบบดำเนินงานวีเอ็มเอส (OpenVMS AXP) และยูนิกซ์ (DEC OSF/1 AXP) ของเด็คได้

อัลฟา เอเอ็กซ์พีมีคลังโปรแกรมที่สนับสนุนการทำงานร่วมกับระบบดำเนินงานวีเอ็มเอส ยูนิกซ์ และวินโดวส์เอ็นทีได้

เพื่อให้ลูกค้าของเด็คที่ใช้เครื่อง VAX และ MIPS สามารถโอนโปรแกรมบนฮาร์ดแวร์เดิมมาอยู่บนฮาร์ดแวร์ใหม่ได้

อัลฟา เอเอ็กซ์พีมีซอฟต์แวร์ทำหน้าที่ถ่ายโอนโปรแกรมที่เขียนเพื่อใช้งานบนฮาร์ดแวร์ของเครื่อง VAX หรือ MIPS ให้นำมาใช้บนฮาร์ดแวร์ของเครื่องอัลฟาได้ เด็คได้เลือกใช้เทคนิคการแปลแบบไบนารี (Binaty Translation) กล่าวคือ แปลโปรแกรมที่ทำงานอยู่บนเครื่องเดิมให้กลายเป็นโปรแกรมใหม่โดยไม่ต้องอาศัยโปรแกรมต้นฉบับที่เขียนด้วยภาษาระดับสูงแต่อย่างใด

เทคโนโลยีอัลฟา

อัลฟาเป็นสถาปัตยกรรมคอมพิวเตอร์ชนิดลดชุดคำสั่งขนาด 64 บิต ที่สนับสนุนการทำงานที่ความถี่ของสัญญาณนาฬิกาถึง 200 เมกะเฮิรตซ์ หรือมีวงรอบสัญญาณการทำงานเพียง 5 นาโนวินาที ซึ่งสามารถจัดให้อยู่ในอันดับเดียวกับซูเปอร์คอมพิวเตอร์ได้ และนับว่าเป็นชิพที่ทำงานด้วยความถี่สัญญาณนาฬิกาสูงที่สุดเมื่อเทียบกับชิพอื่นที่มีความเร็วสูง ๆ อย่างเช่น PA7100 ของฮิวเล็ตต์-แพคการ์ด (100 เมกะเฮิรตซ์) R4000 (100 เมกะเฮิรตซ์) ซูเปอร์สปาร์กของซัน (50 เมกะเฮิรตซ์) RS/6000 ของไอบีเอ็ม (50 เมกะเฮิรตซ์) หรือเพนเทียมของอินเทล (66 เมกะเฮิรตซ์)

ความถี่สัญญาณนาฬิกาที่สูงมากกว่า 150 เมกะเฮิรตซ์ของอัลฟานั้นไม่สามารถสร้างได้ง่ายนัก หากไม่มีการดัดแปลงโครงสร้างให้แตกต่างไปจากสถาปัตยกรรมลดชุดคำสั่งที่ทำตาม ๆ กันมา ตัวอย่างเช่น

- ตัดคำสั่งอ่านเขียนข้อมูลขนาด 8 และ 16 บิต ออกไป
- ตัดรหัสเงื่อนไข (Condition Codes)
- ไม่มีระบบการตอบสนองข้อยกเว้น (Exceptions)
- ไม่มีการใส่คำสั่งเพื่อหน่วงเวลากระโดด (Branch Delay Slot) ฯลฯ

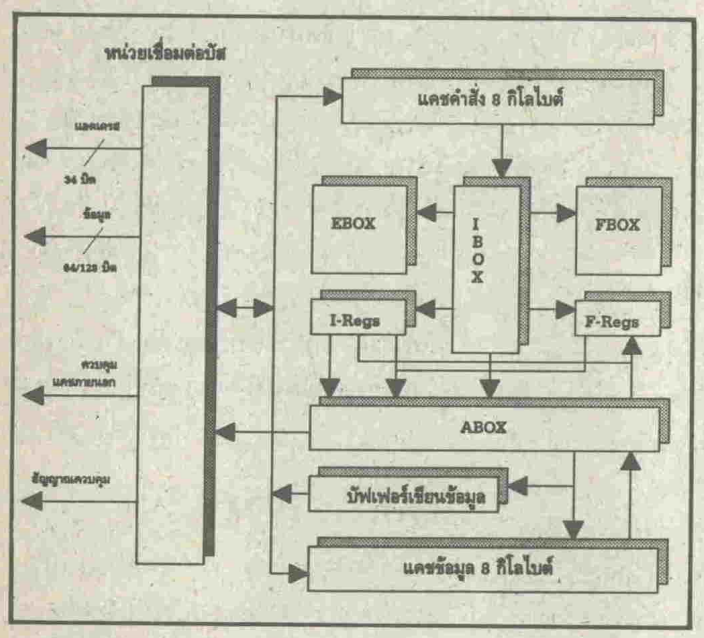
อย่างไรก็ตาม หัวใจสำคัญอีกประการหนึ่งที่ส่งผลให้ชิพอัลฟาทำงานที่ความถี่สูงมากขนาดนี้ ได้แก่ การออกแบบซึ่งเน้นหนักในแง่วิศวกรรม เพื่อให้ชิพมีความเร็วสูงสุดโดยไม่ต้องพะวงถึงความซับซ้อนในการออกแบบระบบ และไม่ต้องคำนึงถึงข้อจำกัดทางด้านเศรษฐศาสตร์ ด้วยเหตุนี้เด็คจึงต้องจ่ายเงินลงทุนอย่างมาก โดยเฉพาะในเรื่องการสร้างชิพให้ทำงานที่ความถี่สูง และส่งผลให้ชิพซึ่งทำงานที่ความถี่ 200 เมกะเฮิรตซ์นี้กินพลังงานสูงถึง 30 วัตต์

อัลฟา 21064

ชิพ 21064 เป็นชิพตัวแรกตามสถาปัตยกรรมอัลฟา และเป็นชิพซีมอสขนาด 13.9×16.8 มิลลิเมตรที่มีทรานซิสเตอร์ภายใน 1.68 ล้านตัว รูปที่ 1 แสดงถึงโครงสร้างหลักของชิพ 21064 หน่วยการทำงานหลักสำคัญของตัวชิพประกอบไปด้วยส่วนสำคัญดังต่อไปนี้คือ

- มีหน่วยคำสั่งแบบไปป์ไลน์ (IBox) ทำหน้าที่อ่านคำสั่งแล้วส่งการทำงานต่อไปยังหน่วยอื่น 4 หน่วยคือ EBox, FBox, I-Regs และ F-Regs
- มีหน่วยคำนวณทางคณิตศาสตร์และตรรกแยกเป็นสองชุด คือ ชุดเลขจำนวนเต็ม (EBox) และชุดเลขจำนวนจริง (FBox)
- มีรีจิสเตอร์ทั่วไปสองชุด สำหรับเก็บตัวเลขจำนวนเต็ม (I-Regs) และตัวเลขทศนิยม (F-regs) ชุดละ 32 ตัว คือ R0 ถึง R31 เป็นรีจิสเตอร์เก็บตัวเลขจำนวนเต็ม และ F0 ถึง F31 เป็นรีจิสเตอร์เก็บตัวเลขจริง ซึ่งทุกตัวมีขนาด 64 บิตเท่ากันหมด นอกจากนี้ยังมีรีจิสเตอร์ชี้ตำแหน่งโปรแกรม (PC) รีจิสเตอร์เก็บเลขจำนวนจริงตามแบบ IEEE และรีจิสเตอร์สำหรับการประมวลผลหลายงาน เป็นต้น
- มีหน่วยความจำแคชภายใน

HOT CHIPs
สถาปัตยกรรมอัลฟา เอเอ็กซ์พี

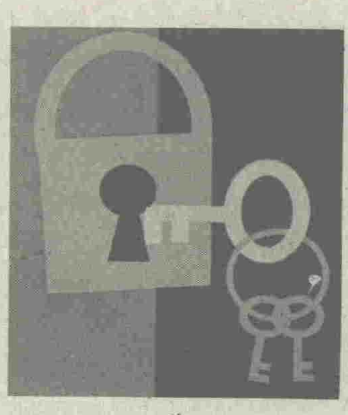


รูปที่ 1
แผนภาพแสดง
โครงสร้าง
ของชิพ 21064

สำหรับเก็บคำสั่งและข้อมูลแยกออกจากกันอย่างละชุด ๆ ละ 8 กิโลไบต์

● มี ABox ทำหน้าที่เป็นหน่วยแปลงหาตำแหน่ง (Address Translation) และจัดการการอ่านและเขียนข้อมูลกับหน่วยความจำ

● หน่วยเชื่อมต่อบัส (Bus Interface Unit) สามารถกำหนดให้ทำงานกับระดับแรงดันแบบทั้ง TTL และ 100K ECL โดยการส่งสัญญาณผ่านเข้าไปในชิพในจังหวะที่เปิดไฟเข้าชิพ



ขนาดของบัสข้อมูลสามารถกำหนดให้เป็นได้ทั้ง 32 และ 64 บิต ตลอดจนกำหนดความถี่สัญญาณนาฬิกาบนบัสให้แปรค่าได้ตั้งแต่ 1/8 ไปจนกระทั่งถึง 1/2 ของความถี่สัญญาณนาฬิกาที่ใช้งานจริง ส่วนขนาดของบัสตำแหน่ง (Address) นั้น ในชิพรุ่น 21064 นี้สร้างให้มีขนาดเพียง 34 บิต โดยยินยอมให้มีการอ้างอิงตำแหน่งโดยใช้บัสข้อมูลแบบเสมือนขนาด 43 บิต หรืออ้างอิงหน่วยความจำได้สูงสุด 8192 กิกะไบต์

นอกจากนี้ยังมีสายสัญญาณควบคุมแคชภายนอกที่มีขนาดได้ตั้งแต่ 128

ลักษณะสำคัญของ RISC

เมื่อกล่าวถึงคอมพิวเตอร์แบบ RISC ซึ่งมีศัพท์เทคนิคภาษาไทยที่เรียกตามความนิยมว่า คอมพิวเตอร์ชนิดลดชุดคำสั่ง (ศัพท์ฉบับราชบัณฑิตใช้คำว่า คอมพิวเตอร์ลดทอนคำสั่ง) อาจทำให้หลายคนไขว้เขวไปได้ว่าคอมพิวเตอร์แบบ RISC นี้จะต้องมีชุดคำสั่งแต่เพียงน้อย ๆ ถึงแม้ว่าพื้นฐานดั้งเดิมของ RISC จะมีที่มาจากแนวคิดที่พยายามลดทอนคำสั่งที่ซับซ้อนและไม่ค่อยได้ใช้งานบ่อยออกไป แต่ในปัจจุบันคอมพิวเตอร์แบบ RISC หลายต่อหลายตัวก็มีจำนวนคำสั่งนับร้อย ๆ ไม่แพ้คอมพิวเตอร์แบบ CISC

นิยามสากลที่ใช้กำหนดความหมายของคอมพิวเตอร์แบบ RISC ในปัจจุบันกล่าวได้ว่ายังไม่มีขึ้น ดังนั้นเมื่อนักคอมพิวเตอร์กล่าวถึงสถาปัตยกรรมแบบ RISC ก็จะเป็นที่เข้าใจโดยรวม ๆ ว่าเป็นคอมพิวเตอร์ซึ่งมีลักษณะคุณสมบัติสำคัญส่วนใหญ่ดังนี้

- มีคำสั่งเรียบง่ายไม่ซับซ้อน
- คำสั่งมีขนาดเท่ากันหมด
- มีรูปแบบคำสั่งจำนวนน้อย
- ชุดคำสั่งมีลักษณะไม่ซ้ำซ้อน (ฟังก์ชันของคำสั่งมักไม่ซ้ำกัน)
- มีแบบการอ้างอิงข้อมูลน้อยแบบ
- คำสั่งที่เกี่ยวข้องกับหน่วยความจำจะมีเฉพาะคำสั่งอ่านและเขียนเท่านั้น ส่วนคำสั่งที่ทำหน้าที่คำนวณค่าจะกระทำกับรีจิสเตอร์
- มีแบบข้อมูลเพียงจำนวนเต็มและจำนวนจริง (หรือแบบข้อมูลอื่นอีกไม่มาก)

คอมพิวเตอร์แบบ RISC หลายเครื่องได้เพิ่มเติมลักษณะเด่นบางประการเข้าไปอีก ซึ่งอาจไม่จำเป็นต้องมีในคอมพิวเตอร์อื่น ๆ ได้แก่

- คำสั่งเกือบทุกคำสั่งจะใช้เวลาปฏิบัติงานเพียงหนึ่งวงรอบเท่านั้น (เป็นส่วนของการออกแบบซีพียูแต่ละตัวเอง ซึ่งไม่ใช่ลักษณะคุณสมบัติโดยตรงของ RISC)
- เป็นสถาปัตยกรรมที่มีรีจิสเตอร์จำนวนมาก (เพื่อช่วยเร่งความเร็วการทำงานให้สูงขึ้น)

กิโลไบต์ถึง 8 เมกะไบต์

หากพิจารณาถึงโครงสร้างทางสถาปัตยกรรมของ 21064 แล้ว จัดได้ว่า 21064 เป็นชิพแบบซูเปอร์สเกล่าร์ (Superscalar) ที่เหมือนกับ RS/6000 ของไอบีเอ็ม ในขณะเดียวกันก็มีคุณลักษณะแบบซูเปอร์ไปป์ไลน์ (Superpipeline) คล้ายคลึงกับมิพส์ R4000

ซูเปอร์สเกล่าร์ของ 21064 ที่เหมือนกับ RS/6000 คือ ปฏิบัติงานคำสั่งได้มากกว่าหนึ่งคำสั่งในเวลาเดียวกัน ส่วนซูเปอร์ไปป์ไลน์ของ 21064 ที่คล้ายคลึงกับมิพส์ R4000 คือ มีการเพิ่มเฟสในแต่ละขั้นของไปป์ไลน์เพิ่มขึ้น

ไปป์ไลน์ของ 21064

ไปป์ไลน์ของ 21064 มีแบบอย่างคล้ายคลึงกับไปป์ไลน์ของชิพ R4000 โดยมีความลึก 7 ขั้นสำหรับเลขจำนวนเต็ม และ 10 ขั้นสำหรับเลขจำนวนจริง ไปป์ไลน์ 4 ขั้นแรกของทั้งเลขจำนวน

0 IF	1 SW	2 IO	3 I1	4 A1	5 A2	6 WR
อ่านคำสั่ง	แยกชนิดและคาดการณ์กระโดด	ถอดรหัส	จ่ายงานและอ่านรีจิสเตอร์	ALU1	ALU2	เขียนกลับ

รูปที่ 2
ไปป์ไลน์เลขจำนวนเต็ม

0 IF	1 SW	2 IO	3 I1	4 F1	5 F2	6 F3	7 F4	8 F5	9 FWR
อ่านคำสั่ง	แยกชนิดและคาดการณ์กระโดด	ถอดรหัส	จ่ายงานและอ่านรีจิสเตอร์						เขียนกลับ

รูปที่ 3
ไปป์ไลน์เลขจำนวนจริง

เต็มและจำนวนจริงมีลักษณะเช่นเดียวกันคือ ประกอบด้วยการอ่านคำสั่ง (Fetch) ควบคุมคำสั่งคู่และคาดการณ์ตำแหน่งกระโดดล่วงหน้า (Swap + Branch Prediction) ถอดรหัสคำสั่ง (Decode) และตามด้วยขั้นการจ่ายงานและอ่านค่ารีจิสเตอร์ (Issue + Register Read) 20164 เป็นซีพียูแบบจ่ายคำสั่งคู่ (Dual Instruction Issue) คือ จ่ายงานภายหลังขั้นตอนการถอดรหัสไปยังขั้นปฏิบัติงานได้สองคำสั่ง

ไปป์ไลน์ของจำนวนเต็ม รูปที่ 2 จะมีหน่วยคณิตศาสตร์และตรรก 2 ตัว ในขั้นที่ 5 และ 6 สำหรับจัดการกับคำสั่ง 2 คำสั่งที่เป็นอิสระต่อกันได้ และขั้นที่ 7 เป็นขั้นสำหรับเขียนค่ากลับเข้าสู่รีจิสเตอร์ตามแต่ละคำสั่ง

สำหรับไปป์ไลน์ของจำนวนจริงดังรูปที่ 3 ในขั้นที่ 5 ถึง 9 เป็นส่วนการปฏิบัติงานคำสั่ง และเขียนค่ากลับเข้าสู่รีจิสเตอร์ในขั้นที่ 10

รูปแบบคำสั่ง

21064 มีชุดคำสั่งพื้นฐาน 4 กลุ่ม

ไปป์ไลน์เทคนิค

ไปป์ไลน์เป็นเทคนิคทางฮาร์ดแวร์ที่ช่วยเพิ่มความเร็วการประมวลผลคำสั่งของซีพียูด้วยแบบอย่างเดียวกับระบบสายการผลิต ซึ่งแบ่งแยกการทำงานเป็นขั้น ๆ และมีการทำงานเหลื่อมกันในจังหวะเวลาหนึ่ง จึงช่วยเพิ่มความเร็วในการปฏิบัติงานได้สูงยิ่งขึ้น

โดยทั่วไปแล้วขบวนการปฏิบัติงานคำสั่งหนึ่งคำสั่งของซีพียู หรือเรียกว่าในหนึ่งวงรอบคำสั่งนั้น อาจแยกย่อยได้เป็น 5 ขั้นตอนคือ

(1) อ่านคำสั่ง (Fetch instruction

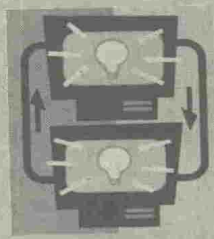
(2) ตีความหมาย (Decode instruction)

(3) อ่านโอเปอร์แรนด์ (Fetch operand)

(4) ปฏิบัติงานคำสั่ง (Execute operation)

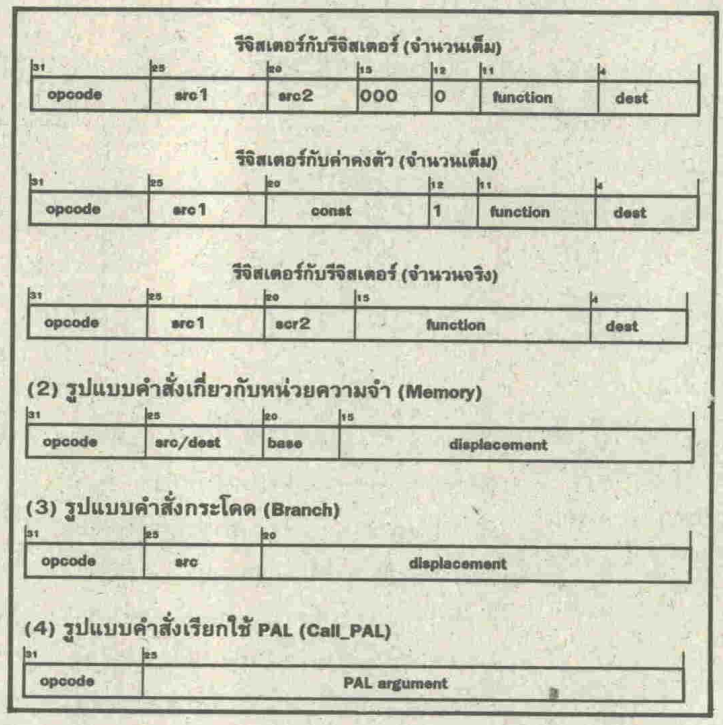
(5) เก็บผลลัพธ์ (Storc result)

ในซีพียูที่ไม่มีไปป์ไลน์ ขั้นตอนทั้ง 5 จะเกิดอย่างอนุกรมต่อเนื่องกันไป กล่าวคือ ขั้นตอนที่อยู่ถัดมาจะเกิดขึ้นได้ก็ต่อเมื่อขั้นตอนก่อนหน้าสิ้นสุดลงไปโดยสมบูรณ์ก่อน ดังนั้นหากมีการทำงานตามคำสั่ง 3 คำสั่ง ก็จะมีขั้นตอนเกิดขึ้นต่อเนื่องกันดังรูปที่ 1 ก. และสิ้นสุดที่จังหวะเวลาที่ 15



แต่ในซีพียูแบบไปป์ไลน์จะใช้การเหลื่อมของขั้นตอนดังรูปที่ 2 ก. กล่าวคือ ในจังหวะที่ 2 ขณะที่มีการตีความหมายของคำสั่งที่ 1 ก็มีการอ่านคำสั่งที่ 2 เข้ามา ส่วนในจังหวะที่ 3 ก็มีการอ่านโอเปอร์แรนด์ของคำสั่งที่ 1 ตีความหมายคำสั่งที่ 2 และอ่านคำสั่งที่ 3 เข้ามา ขบวนการทั้งหมดในการปฏิบัติคำสั่ง 3 คำสั่งจะสิ้นสุดที่จังหวะเวลาที่ 10 ซึ่งจะเห็นว่าเวลาที่ใช้ในการทำคำสั่งลดลงไป

คือ กลุ่มดำเนินงาน (Operate) กลุ่มหน่วยความจำ (Memory) กลุ่มกระโดด (Branch) และกลุ่มเรียกใช้คลังโปรแกรม (CALL_PAL) ดังรูปที่ 4 รหัสคำสั่งทุกรหัสมีความกว้าง 32 บิต โดยมีฟิลด์รหัสคำสั่ง (opcode) ขนาด 6 บิต และฟิลด์กำหนดรีจิสเตอร์ (src1, src2, dest) ขนาด 5 บิต ส่วนที่เหลือเป็นฟิลด์อื่น ๆ คือ ฟิลด์กำหนดการดำเนินงานคำสั่ง (function) ค่าคงตัว (constant) โปรแกรมย่อยใน PAL (CAL_PALL) และระยะขจัด (Displacement) ซึ่งเป็นค่าสำหรับอ้างอิงตำแหน่งแบบสัมพัทธ์ ใน 21064 จะมีคำสั่งรวมทั้งสิ้น 160 คำสั่ง ดังแสดงในรูปที่ 5

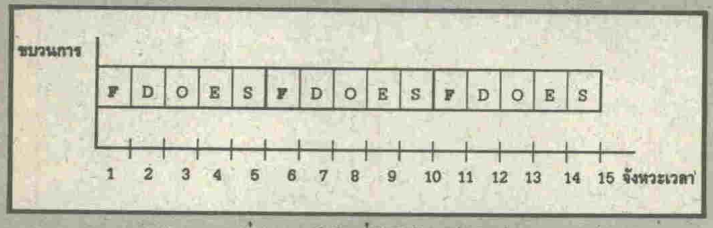


รูปที่ 4
รูปแบบคำสั่ง

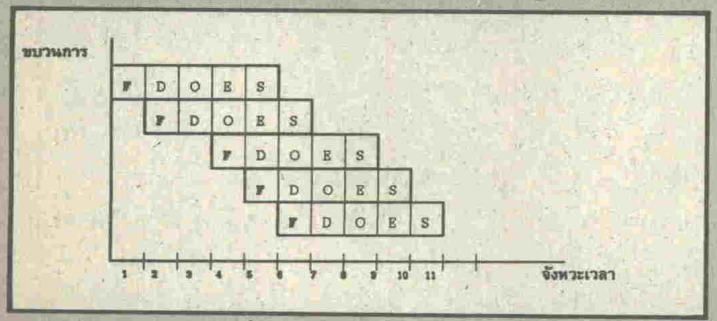
เทคนิคการนำซอฟต์แวร์มาใช้ได้ใหม่

เมื่อโครงการอัลฟา เอเอ็กซ์พีเริ่มเดินหน้าขึ้นในปี 2531 กลุ่มวิศวกรของเด็คก็เริ่มศึกษาและหาเทคนิควิธีการที่ช่วยให้ซอฟต์แวร์ซึ่งเดิมทำงานอยู่บนเครื่องแวกซ์และมิพส์ สามารถนำมาใช้กับอัลฟาคอมพิวเตอร์ได้

หากมองในแง่ของการนำโปรแกรมจากเครื่องหนึ่งไปยังอีกเครื่องหนึ่งที่มีรหัสคำสั่งต่างกัน โดยให้โปรแกรมบนเครื่องใหม่ที่ได้มีสมรรถนะการทำงาน



รูป 1 ก. การปฏิบัติงานคำสั่งของซีพียูที่ไม่ใช้ไปป์ไลน์



รูป 2 ก. การปฏิบัติงานคำสั่งของซีพียูแบบไปป์ไลน์

ตารางแสดงชิพ 21064

รายละเอียด	ค่า
ความถี่สูงสุด	200 เมกะเฮิรตซ์
จำนวนขั้นไปป์ไลน์	7/10
จำนวนคำสั่งสูงสุดต่อหนึ่งวงรอบ	2
ขนาดแคชข้อมูลภายใน	8 กิโลไบต์
ขนาดแคชคำสั่งภายใน	8 กิโลไบต์
อัตราการส่งผ่านข้อมูลของแคชภายใน (Peak)	3200 เมกะบิต/วินาที
ขนาดแคชข้อมูลภายนอก	32 เมกะไบต์
อัตราการส่งผ่านข้อมูลของแคชภายนอก (Peak)	1067 เมกะบิต/วินาที
ความถี่บัสสูงสุด	67 เมกะเฮิรตซ์
เทคโนโลยีชิพ	ซีมอส .75 ไมครอน, 3 ชั้น
แบบของชิพ	PGA 431 ขา
จำนวนทรานซิสเตอร์	1.68 ล้านตัว

Load/Store, Byte Manipulation	
LDA	Load address
LDAH	Load address high
LDL	Load sign-extended longword
LDQ	Load quadword
LDQ_U	Load unaligned quadword
LDL_L	Load sign-extended longword, locked
LDQ_L	Load quadword, locked
STL_C	Store longword, conditional
STQ_C	Store quadword, conditional
STL	Store longward
STQ	Store quadword
STQ_U	Store unaligned quadword
EXTBL	Extract byte low
EXTWL	Extract word low
EXTLL	Extract longword low
EXTQL	Extract quadword low
EXTWH	Extract word high
EXTLH	Extract longword high
EXTQH	Extract quadword high
INSBL	Insert byte low
INSWL	Insert word low
INSLL	Insert longword low
INSQL	Insert quadword low
INSWH	Insert word high
INSLH	Insert longword high
INSQH	Insert quadword high
MSKBL	Mask byte low
MSKWL	Mask word low
MSKLL	Mask longword low
MSKQL	Mask quadword low
MSKWH	Mask word high
MSKLH	Mask longword high
MSKQH	Mask quadword high

FP Load/Store	
LDF	Load F format (VAX single)
LDG	Load G format (VAX double)
LDS	Load S format (IEEE single)
LDT	Load T format (IEEE double)
STF	Store F format (VAX single)
STG	Store G format (VAX double)
STS	Store S format (IEEE single)
STT	Store T format (IEEE double)

Address/Constant	
LDA	Load address
LDAH	Load address high

Integer Computating & Cond. Move	
ADDL	Add longword
S4ADDL	Add longword, scale by 4
S8ADDL	Add longword, scale by 8
ADDQ	Add quadword
S4ADDQ	Add quadword, scale by 4
S8ADDQ	Add quadword, scale by 8
CMPEQ	Compare signed quadword = =
CMPLT	Compare signed quadword <
CMPLE	Compare signed quadword < =
CMPULT	Compare unsigned quadword <
CMPULE	Compare unsigned quadword < =
MULL	Multiply longword
MULQ	Multiply quadword
UMULH	Multiply quadword high, unsigned
SUBL	Subtract longword
S4SUBL	Subtract longword, scale by 4
S8SUBL	Subtract longword, scale by 8
SUBQ	Subtract quadword
S4SUBQ	Subtract quadword, scale by 4
S8SUBQ	Subtract quadword, scale by 8
AND	AND logical
BIS	OR logical
XOR	XOR logical
BIC	AND-NOT logical
ORNOT	OR-NOT logical
EQV	XOR-NOT logical
SLL	Shift left, logical
SRL	Shift right, logical
SRA	Shift right, arithmetic
CMOVEQ	Conditional move if register = = 0
CMOVNE	Conditional move if register != 0
CMOVLT	Conditional move if register < 0
CMOVLE	Conditional move if register < = 0
CMOVGT	Conditional move if register > 0
CMOVGE	Conditional move if register > = 0
CMOVLBC	Conditional move if register low bit clear
CMOVLBS	Conditional move if register low bit set
CMPBGE	Compare bytes, unsigned
ZAP	Clear selected bytes
ZAPNOT	Clear unselected bytes

Integer Branch	
BEQ	Branch if register = = 0
BNE	Branch if register != 0
BLT	Branch if register < 0
BLE	Branch if register < = 0
BGT	Branch if register > 0
BGE	Branch if register > = 0
BLBC	Branch if low bit clear
BLBS	Branch if low bit set
BR	Branch
BSR	Branch to subroutine
JMP	Jump
JSR	Jump to subroutine
RET	Return from subroutine
JSR_COROUTINE	Jump to subroutine return

FP Branch	
FBEQ	FP branch if = = 0
FBNE	FP branch if != 0
FBLT	FP branch if < 0
FBLE	FP branch if < = 0
FBGT	FP branch if > 0
FBGE	FP branch if > = 0

FP Computation & Conditional Move	
CPYS	Copy sign
CPYSN	Copy sign, negate
CPYSE	Copy sign and exponent
CVTQL	Convert quadword to longword
CVTLQ	Convert longword to quadword
FCMOVEQ	FP conditional move if register = = 0
FCMOVNE	FP conditional move if register != 0
FCMOVLT	FP conditional move if register < 0
FCMOVLE	FP conditional move if register < = 0
FCMOVGT	FP conditional move if register > 0
FCMOVGE	FP conditional move if register > = 0
MF_FPCR	Move from FP control register
MT_FPCR	Move to FP control register
ADDF	Add F format (VAX single)
ADDG	Add G format (VAX double)
ADDS	Add S format (IEEE single)
ADDT	Add T format (IEEE double)
CMPGEQ	Compare G format = = (VAX double)
CMPGLT	Compare G format < (VAX double)
CMPGLE	Compare G format < = (VAX double)
CMPTEQ	Compare T format = = (IEEE double)
CMPTLT	Compare T format < (IEEE double)
CMPTLE	Compare T format < = (IEEE double)
CMPTUN	Compare T format unordered (IEEE double)
CVTGQ	Convert G format to quadword (VAX double)
CVTQF	Convert quadword to F format (VAX single)
CVTQG	Convert quadword to G format (VAX double)
CVTDG	Convert D format to G format (VAX double/double)
CVTGD	Convert G format to D format (VAX double/double)
CVTGF	Convert G format to F format (VAX double/single)
CVTTQ	Convert T format to quadword (IEEE double)
CVTQS	Convert quadword to S format (IEEE single)
CVTQT	Convert quadword to T format (IEEE double)
CVTTS	Convert T format to S format (IEEE double/single)
DIVF	Divide F format (VAX single)
DIVG	Divide G format (VAX double)
DIVS	Divide S format (IEEE single)
DIVT	Divide T format (IEEE double)
MULF	Multiply F format (VAX single)
MULG	Multiply G format (VAX double)
MULS	Multiply S format (IEEE single)
MULT	Multiply T format (IEEE double)
SUBF	Subtract F format (VAX single)
SUBG	Subtract G format (VAX double)
SUBS	Subtract S format (IEEE single)
SUBT	Subtract T format (IEEE double)

System	
CALL_PAL	Call privileged architecture library
TRAPB	Trap barrier (precise exception)
FETCH	Prefetch (cache) data hint
FETCH_M	Prefetch (cache) data, modify hint
MB	Memory barrier (serialize)
RPCC	Read process cycle counter
RC	Read and clear
RS	Read and set
PALRES0	PAL reserved opcode 0
PALRES1	PAL reserved opcode 1
PALRES2	PAL reserved opcode 2
PALRES3	PAL reserved opcode 3
PALRES4	PAL reserved opcode 4

รูปที่ 5 สรุปชุดคำสั่งของ 21064

สูงสุด ก็ต้องอาศัยการนำโปรแกรมต้นฉบับจากเครื่องเดิมมาผ่านการแปลด้วยคอมพายเลอร์ของเครื่องใหม่ ซึ่งเราเรียกเทคนิควิธีการนี้ว่า เป็นการใช้คอมพายเลอร์ประจำเครื่อง (Native Compiler) วิธีการนี้จะเหมาะเป็นอย่างยิ่งสำหรับโปรแกรมขนาดเล็กโปรแกรมเดี่ยว ๆ ที่ไม่สลับซับซ้อนนัก แต่สำหรับโปรแกรมขนาดใหญ่ที่ประกอบด้วยโปรแกรมต้นฉบับนับร้อย ๆ ส่วน อีกทั้งยังต้องอาศัยเครื่องมือพัฒนาโปรแกรมอีกเป็นจำนวนมากนั้น การใช้คอมพายเลอร์ประจำเครื่องจึงเป็นเรื่องยุ่งยาก และจะเป็นไปได้เฉพาะในกรณีที่เครื่องใหม่มีโปรแกรมเช่นเดียวกับที่มีอยู่บนเครื่องเก่าด้วย

นอกเหนือไปจากการใช้คอมพายเลอร์ประจำเครื่องแล้ว ก็ยังมีเทคนิควิธีการอื่นอีก 3 วิธี ได้แก่ การใช้ตัวแปลภาษา (Software Interpreter) ตัวจำลองรหัสระดับไมโคร (Microcoded Emulator) และการแปลรหัสไบนารี (Binary Translator)

เทคนิคการใช้ตัวแปลภาษาจะอาศัยโปรแกรมที่อ่านรหัสคำสั่งเดิมมาแปลเป็นรหัสคำสั่งใหม่ทีละคำสั่ง วิธีการนี้มีข้อดีคือ รหัสคำสั่งที่ได้จากการแปลมีความเชื่อถือได้สูง แต่การทำงานของโปรแกรมจะช้า เนื่องจากต้องมีการแปลทีละคำสั่ง และจะต้องแปลใหม่ทุกครั้ง

ถึงแม้ว่าจะมีการวนซ้ำกลับมาทำงานที่คำสั่งเดิมก็ตาม

เทคนิควิธีที่สองหรือการใช้ตัวจำลองรหัสระดับไมโครมีหลักการคล้ายคลึงกับการใช้ตัวแปรภาษาในแบบแรก หากแต่จะอาศัยหลักการของรหัสระดับไมโครในการแปลคำสั่งให้รวดเร็วขึ้น และเก็บข้อมูลเกี่ยวกับสภาวะฮาร์ดแวร์ไว้ในรีจิสเตอร์ แต่วิธีการนี้ไม่สามารถนำมาใช้กับคอมพิวเตอร์ชนิดลดชุดคำสั่งได้ เนื่องจากสถาปัตยกรรมชนิดลดชุดคำสั่งไม่มีรหัสระดับไมโครอยู่ภายใน

เด็คได้เลือกเอาเทคนิคสุดท้ายหรือการแปลงรหัสไบนารี ซึ่งเป็นวิธีการนำชุดคำสั่งที่ทำงานได้ (Executable code) บนฮาร์ดแวร์เดิม มาผ่านการแปลให้กลายเป็นรหัสชุดคำสั่งใหม่ที่ทำงานได้บนฮาร์ดแวร์ใหม่ โดยไม่ต้องอาศัยโปรแกรมต้นฉบับเดิมแต่ประการใด การแปลรหัสไบนารีมีความเร็วเป็นที่สองรองจากการแปลด้วยคอมพายเลอร์ประจำเครื่อง ดังแสดงด้วยแผนภาพในรูปที่ 6 โปรแกรมแปลรหัสไบนารีที่มีอยู่บนฮาร์ดแวร์อัลฟา มีอยู่ 2 โปรแกรม คือ

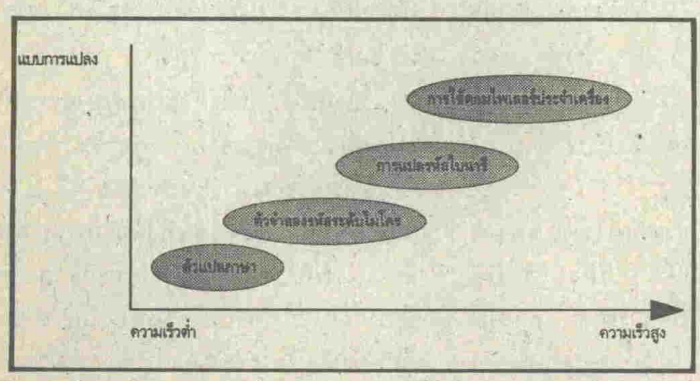
1. VEST โปรแกรมแปลงรหัสไบนารีจากเครื่อง OpenVMS VAX ไปเป็น OpenVMS AXP

2. mx โปรแกรมแปลงรหัสไบนารีจากเครื่อง ULTRIX MIPS ไปเป็น DEC OSF/1 AXP

โปรแกรมทั้งสองเป็นเพียงส่วนหนึ่งของระบบการแปลเท่านั้น ระบบโดยรวมจะประกอบด้วยโปรแกรมสนับสนุนขณะการทำงาน (Runtime-Supported) อีกด้วย

หนึ่งชิพทำงานกับสารพัดโอเอส

สถาปัตยกรรมอัลฟา เอเอ็กซ์พี ได้รับการออกแบบทั้งในระดับฮาร์ดแวร์และซอฟต์แวร์ ให้สนับสนุนการทำงานร่วมกับระบบดำเนินงานได้หลายระบบ ซอฟต์แวร์ดังกล่าวนี้อยู่ในรูปของคลังโปรแกรมที่เรียกว่า "PAL" (Privileged Architecture Library) ซึ่งมีฟังก์ชันการทำงานเกี่ยวกับฮาร์ดแวร์ในระดับล่างที่สัมพันธ์กับระบบดำเนินงาน ไม่ว่าจะเป็นการบริการอินเตอร์รัพต์ การบริหารหน่วยความจำ หรือการจัดการกับข้อผิดพลาด เป็นต้น ในปัจจุบันคลังโปรแกรม PAL สนับสนุนระบบดำเนินงานอยู่ 3 ระบบคือ วีเอ็มเอส (OpenVMS) ยูนิกซ์ (DEC OSF/1) และวินโดวส์เอ็นที ส่วนในอนาคตอันใกล้นี้ก็จะมีโนเวลล์เน็ตแวร์ผนวกร่วมเข้ามาด้วย



รูปที่ 6
เปรียบเทียบสมรรถนะการแปลงรหัส

สมรรถนะอัลฟา

ในปัจจุบันเด็คได้ผลิตเครื่องที่ใช้ชิฟอัลฟาที่ความเร็วต่าง ๆ กันออกมา 5 รุ่น คือ

1. DEC 3000/400 (133 เมกะเฮิรตซ์ แคช 512 กิโลไบต์)

2. DEC 3000/500 (150 เมกะเฮิรตซ์ แคช 512 กิโลไบต์)

3. DEC 4000/610 (160 เมกะเฮิรตซ์ แคช 1,000 กิโลไบต์)

4. DEC 7000/610 (182 เมกะไบต์ แคช 4,000 กิโลไบต์)

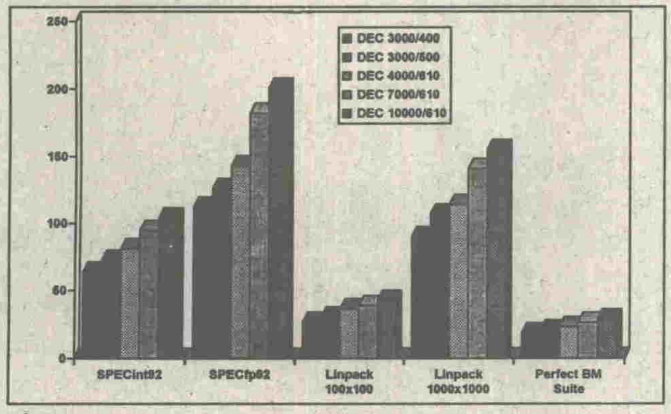
5. DEC 10000/610 (200 เมกะไบต์ แคช 4,000 กิโลไบต์)

แต่ละรุ่นมีสมรรถนะจากการวัดด้วยโปรแกรมเบนช์มาร์กโปรแกรมต่าง ๆ กันบนระบบดำเนินงานวีเอ็มเอสและยูนิกซ์ ดังรูปที่ 7 และ 8 ซึ่งจะพบว่าทั้ง SPECint92 และ SPECfp92 ตลอดจน Linpack มีค่าสูงอย่างมาก

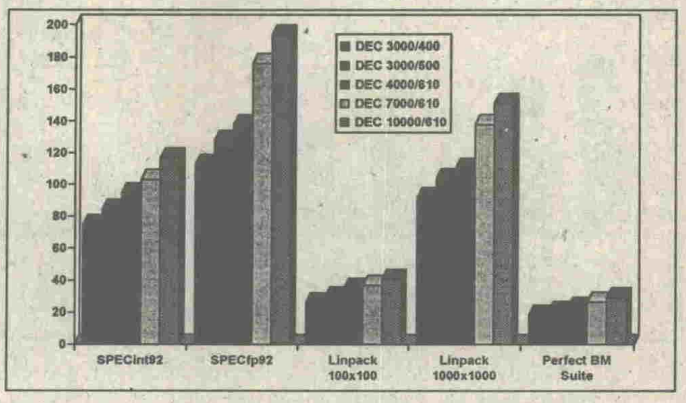
และเมื่อเทียบสมรรถนะกับซีพียูอื่นอีก 6 ตัวคือ

- HP PA7100 99 เมกะเฮิรตซ์ (เครื่อง HP 9000 รุ่น 735)
- IBM POWER 6264 62.5 เมกะเฮิรตซ์ (เครื่อง RS/6000 รุ่น 980)
- MIPS R4000 50/100 เมกะเฮิรตซ์ (เครื่อง SGI Crimson)
- TI microSPARC 50 เมกะเฮิรตซ์ (เครื่อง SPARCStation 10 รุ่น 30)
- TI superSPARC 36 เมกะเฮิรตซ์ (เครื่อง SPARC Classsic)
- Intel 486DX2 66 เมกะเฮิรตซ์ (เครื่อง Compaq Deskpro/66M)

โดยแสดงสมรรถนะเปรียบเทียบด้วย SPECint92 และ SPECfp92



รูปที่ 7 สมรรถนะของ 21064 บนเครื่องรุ่นต่าง ๆ เมื่อทำงานภายใต้ระบบดำเนินงานวีเอ็มเอส (OpenVMS AXP V1)



รูปที่ 8 สมรรถนะของ 21064 บนเครื่องรุ่นต่าง ๆ เมื่อทำงานภายใต้ระบบดำเนินงานยูนิกซ์ (DEC OSF/1 V.12)

แบบเรียงลำดับจากสมรรถนะสูงไปหาต่ำ ดังรูปที่ 9 และ 10 จะเห็นได้อย่างชัดเจนว่าอัลฟาจัดเป็นชิพความเร็วสูงสุดอย่างแท้จริง

ก้าวต่อไป

ชิพ 21064 ซึ่งฐานรากภายใต้สถาปัตยกรรมอัลฟา เอเอ็กซ์พี เป็นชิพที่มีการบันทึกไว้ในหนังสือกินเนสส์ เมื่อเดือนตุลาคม 2535 ว่าทำงานได้เร็วที่สุดในโลก อีกทั้งยังเป็นการสนับสนุนการทำงานกับระบบดำเนินงานหลายระบบนับตั้งแต่วีเอ็มเอส ยูนิกซ์ ไปจนกระทั่งถึงวินโดวส์เอ็นที ชิพ 21064 จึงเป็นเสมือนสะพานที่เชื่อมต่อระหว่างโปรแกรมประยุกต์บนพีซีเข้าไปสู่สถานีงานระดับใหญ่ ในขณะเดียวกันก็ยังขยับตัวไปหาเครื่องระดับซูเปอร์คอมพิวเตอร์ จากโครงการของบริษัทเครย์ที่กำลังสร้างซูเปอร์คอมพิวเตอร์ด้วยชิพ 21064

เด็คยังได้ร่วมมือกับมิตซูบิชิในการถ่ายทอดเทคโนโลยีของอัลฟาเพื่อปรับปรุงขีดความสามารถของชิพให้สูงยิ่งขึ้น โครงการที่วางไว้ในอนาคต

สรุปศัพท์เทคนิค

Benchmark โปรแกรมมาตรฐานสำหรับวัดสมรรถนะคอมพิวเตอร์โดยการหาค่าความเร็วสัมบูรณ์ของเครื่อง เพื่อนำไปเปรียบเทียบกับเครื่องอื่น

Branch delay slot คำสั่งที่อยู่ต่อจากคำสั่งกระโดด ซีพียูแบบ RISC จะนำคำสั่งที่อยู่ต่อจากคำสั่งกระโดดมาปฏิบัติงานก่อนเสมอ ถึงแม้ว่าจะต้องกระโดดไปยังตำแหน่งอื่น นั่นหมายถึงว่าคำสั่งกระโดดจะถูกหน่วงเวลาการทำงานไปก่อน ซึ่งเราเรียกเวลาหน่วงนี้ว่า Delayed Branch ทั้งนี้เพื่อหลีกเลี่ยงการยกเลิกคำสั่งในไปป์ไลน์เมื่อต้องมีการกระโดด

Condition Code แบบของบิต (Bit pattern) ที่ใช้บ่งบอกผลลัพธ์การดำเนินงาน (ตัวอย่างเช่น ผลลัพธ์เป็นศูนย์ เป็นบวก เป็นลบ และเลขล้นหลัก ฯลฯ) หากมีการเก็บไว้ในรีจิสเตอร์ก็จะเรียกว่า Condition Code Register คอมพิวเตอร์โดยส่วนใหญ่จะใช้แบบของบิตนี้สำหรับเก็บผลลัพธ์การคำนวณทางคณิตศาสตร์เพื่อนำมาใช้ตรวจสอบการกระโดดในภายหลัง

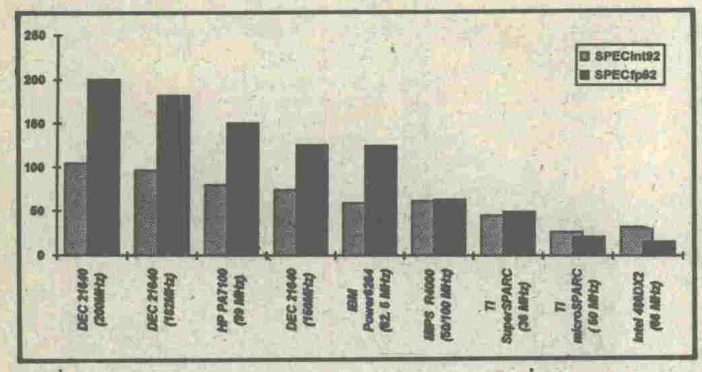
Instruction Issue ขบวนการในการส่งคำสั่งภายหลังขั้นตอนการถอดรหัสไปยังขั้นการปฏิบัติงาน หากมีการจ่ายคำสั่งสองคำสั่งคู่ก็จะเรียกว่า "Dual Issue" หรือหากจ่ายสี่คำสั่งก็จะเรียกว่า "Quad Issue"

LINPACK ค่าที่ได้จากการวัดสมรรถนะของเครื่องหรือซีพียู จากการทดสอบด้วยโปรแกรมแก้สมการระบบ ในรูปของแมตริกซ์ขนาดตั้งแต่ 100×100 ถึง 1000×1000

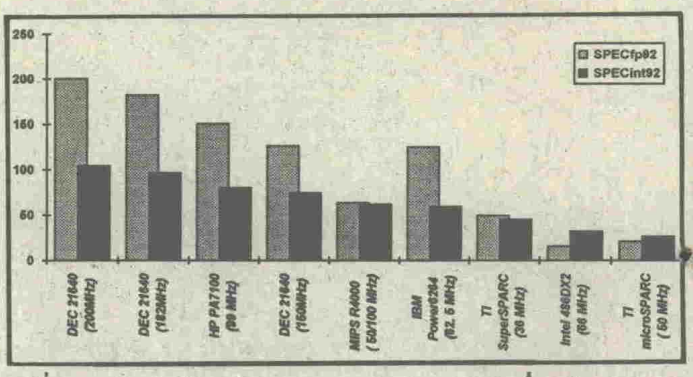
Perfect BM Suite เบนช์มาร์กสำหรับวัดสมรรถนะของเครื่อง จากการทดสอบโดยโปรแกรมประยุกต์ที่ใช้งานจริงทางด้านวิทยาศาสตร์ เช่น โปรแกรมวิเคราะห์มลพิษ การวิเคราะห์โครงสร้างเชิงไดนามิก การจำลองการไหลของน้ำ และการจำลองวงจร ฯลฯ

Pipeline เทคนิคทางฮาร์ดแวร์ที่ช่วยให้มีการปฏิบัติงานหลายอย่างได้พร้อม ๆ กัน เทคนิคแบบไปป์ไลน์มีลักษณะเช่นเดียวกับระบบสายการผลิตในโรงงานอุตสาหกรรม

RISC ย่อมาจาก Reduced Instruction



รูปที่ 9 กราฟเปรียบเทียบสมรรถนะ 21064 กับชิพอื่น โดยเรียงลำดับค่า SPECint92 จากสมรรถนะสูงไปหาต่ำ



รูปที่ 10 กราฟเปรียบเทียบสมรรถนะ 21064 กับชิพอื่น เรียงลำดับค่า SPECfn92 จากสมรรถนะสูงไปหาต่ำ

สำหรับชิพรุ่นถัดไปได้แก่ การเพิ่มความถี่สัญญาณนาฬิกาขึ้นอีก เพิ่มขนาดแคชภายในเป็นสองเท่า และปรับปรุงให้หนึ่งวงรอบทำคำสั่งได้ถึง 4 คำสั่ง ตลอดจนการปรับปรุงระบบเพื่อให้ต้นทุนการผลิตลดลง

ในอนาคตอันใกล้นี้เราคงได้เห็นชิพรุ่นใหม่จากสถาปัตยกรรมอัลฟา เอเอ็กซ์พีที่มีสมรรถนะสูงยิ่งขึ้นไปจากชิพ 21064 รุ่นแรก และคงต้องจับตามองว่าเด็คจะรักษาตำแหน่งที่สุดแห่งความเร็วของตัวเองไว้ได้หรือไม่ ในขณะที่ชิพอื่น ๆ ก็กำลังก้าวไล่ตามมาอย่างติด ๆ

เอกสารอ้างอิง

1. Edward MeLellan, "The Alpha AXP Architecture and 21064 Processor", IEEE Micro, June., 1993, pp36-47.

2. Robert L. Sites, "Alpha AXP Architecture", Comm. ACM, Vol 36, No 2, Feb. 1993, pp33-44.

3. Robert L. Sites et al., "Binary Translation", Comm. ACM, Vol 36, No 2, Feb. 1993, pp33-44

4. NancyKronenberg et al., "Porting OpenVMS from VAX to Alpha AXP", Comm. ACM, Vol 36, No 2, Feb. 1993, pp45-53.

5. Understanding RISC Microprocessors, Ziff-Davis Press, CA, 1993.

6. Robert J. baron & Lee Higbig, Computer Architecture, Addison-Wesley Publishing, 1982.

Set Computer หรือคอมพิวเตอร์ชนิดลดชุดคำสั่ง ซึ่งเป็นคอมพิเวตอร์ที่ได้รับการออกแบบให้มีชุดคำสั่งอ่านเขียนข้อมูลที่เรียบง่าย และมีคำสั่งคำนวณที่เกิดขึ้นระหว่างรีจิสเตอร์กับรีจิสเตอร์เท่านั้น (ไม่มีคำสั่งคำนวณที่อ่านหรือเขียนค่ากับหน่วยความจำ) โดยปกติแล้วคอมพิวเตอร์แบบ RISC จะมีหน่วยการทำงานภายในซีพียูมากหน่วย มีรีจิสเตอร์จำนวนมาก และใช้เทคนิคของไปป์ไลน์

SPEC คำย่อมาจาก System Performance and Evaluation Cooperative ซึ่งเป็นกลุ่มที่ก่อตั้งขึ้นจากสี่บริษัทหลัก คือ อพอลโล, ฮิวเล็ตต์-แพคการ์ด, มิพส์ และซัน เพื่อกำหนดกรรมวิธีวัดสมรรถนะของระบบคอมพิวเตอร์ ตัวอย่างของโปรแกรมที่ใช้ทดสอบได้แก่ Gcc (GNU's C Compiler) Espresso (โปรแกรมออปติไมซ์สำหรับ PLA) Spice (โปรแกรมจำลองวงจรอะนาล็อก) Dudoc (โปรแกรมจำลองปฏิกิริยานิวเคลียร์) Nasa7 (แกนโปรแกรมเลขจำนวนจริง) Li (ตัวแปลภาษาลิสป์) Eqntott (ตัวสร้างพาร์เซอร์), Fpppp (โปรแกรมเคมีควันตัม) ฯลฯ

SPECint92 ค่าที่ได้จากการวัดสมรรถนะของเครื่องหรือซีพียู จากการทดสอบโดยโปรแกรมประยุกต์ที่ใช้งานจริงของกลุ่ม SPEC เน้นหนักที่การประมวลตัวเลขจำนวนเต็ม

SPECfp92 ค่าที่ได้จากการวัดสมรรถนะของเครื่องหรือซีพียู จากการทดสอบโดยโปรแกรมประยุกต์ที่ใช้งานจริงของกลุ่ม SPEC เน้นหนักที่การประมวลตัวเลขจำนวนจริง

Supercomputer คอมพิวเตอร์ที่ทำงานได้เร็วที่สุด ที่มีปรากฏอยู่ตามเทคโนโลยีในขณะนั้น

Superpipeline คอมพิวเตอร์แบบไปป์ไลน์ซึ่งเพิ่มขั้นย่อยในแต่ละขั้นของไปป์ไลน์มากขึ้นอีก เพื่อช่วยลดเวลาการทำงานในหนึ่งวงรอบของซีพียู

Superscalar คอมพิวเตอร์ซึ่งมีไปป์ไลน์หลายหน่วยอยู่ภายใน และที่สำคัญคือ มีตัวส่งคำสั่ง **(Instruction dispatcher)** ที่พยายามจัดการกับคำสั่งหลาย ๆ คำสั่งภายในหนึ่งวงรอบ